

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127609
 (43)Date of publication of application : 11.05.2001

(51)Int.CI. H03K 17/22
 G06F 1/24

(21)Application number : 11-301446

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.10.1999

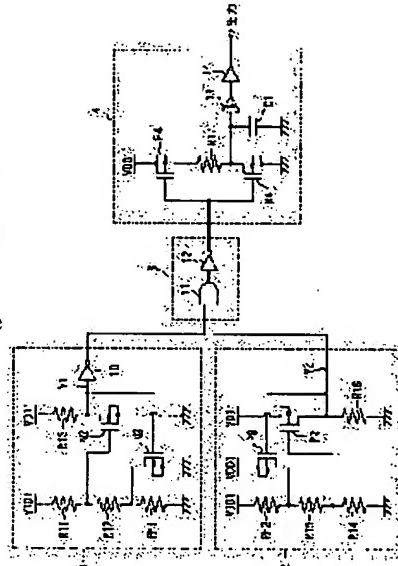
(72)Inventor : ONISHI KOTA

(54) POWER-ON RESET CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power-on reset circuit that can reduce a temperature characteristic of a reset release voltage caused by a temperature characteristic of a threshold voltage of a MOS transistor(TR) and enhance the accuracy of a power-on reset operation.

SOLUTION: A first detection circuit 11 uses resistor R11, R12 or the like to divide a voltage of a power supply and gives the divided voltage to a gate of an NMOS TR N2. A first detection circuit 12 uses resistor R14, R15 or the like to divide the voltage of the power supply and gives the divided voltage to a gate of a PMOS TR P2. A ratio of the resistance of the resistors R11, R12 is selected so that a power supply voltage (reset release voltage) is a voltage resulting from adding a permissible voltage α to a threshold voltage when a gate voltage of the NMOS TR N2 reaches the threshold voltage, e.g. 1:8. This is applied also to the case with the resistors R14, R15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-127609

(P2001-127609A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl.
H 03 K 17/22
G 06 F 1/24

識別記号

P I
H 03 K 17/22
G 06 F 1/00

テーマコード(参考)
E 5 B 0 5 4
3 5 1 5 J 0 5 5

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平11-301446

(22)出願日 平成11年10月22日 (1999.10.22)

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 大西 幸太
長野県諏訪市大和3丁目3番5号 セイコ
ー エプソン株式会社内

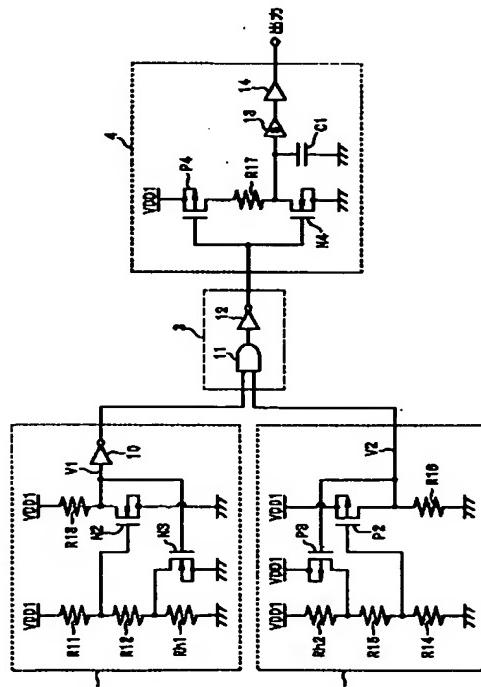
(74)代理人 1000933388
弁理士 鈴木 審三郎 (外2名)
F ターム(参考) 5B054 B801 D007 D011 D021
5J055 AX11 AX15 AX57 BX41 CX00
DXD1 EX26 EY01 EY03 EY10
EY21 EZ05 EZ07 EZ11 EZ25
FX35 GX01 GX06

(54)【発明の名称】 パワーオンリセット回路

(57)【要約】

【課題】 MOSトランジスタのしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を小さくできる上に、パワーオンリセット動作の精度の向上が図れるようにしたパワーオンリセット回路の提供。

【解決手段】 第1検出回路11は、電源の電圧を抵抗R11、R12等で分圧し、分圧電圧をNMOSトランジスタN2のゲートに供給するようになっている。第1検出回路12は、電源の電圧を抵抗R14、R15等で分圧し、分圧電圧をPMOSトランジスタP2のゲートに供給するようになっている。抵抗R11と抵抗R12の抵抗値の比率は、NMOSトランジスタN2のゲート電圧がしきい値電圧になったときに、そのときの電源電圧の値(リセット解除電圧)がそのしきい値電圧に許容電圧 α を加えた電圧になるように設定され、例えば1:8になるように設定されている。抵抗R14、R15についても同様である。



【特許請求の範囲】

【請求項1】 電源の立ち上がり時にリセット信号を生成するパワーオンリセット回路であって、前記電源とアースとの間に接続され、前記リセット信号の生成に係るMOSトランジスタと、前記電源の電圧を第1抵抗と第2抵抗により分圧し、分圧電圧を前記MOSトランジスタのゲートへ供給する分圧手段とを備え、前記分圧手段の分圧比は、前記MOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定されていることを特徴とするパワーオンリセット回路。

【請求項2】 電源の立ち上がり時にリセット信号を生成するパワーオンリセット回路であって、前記電源とアースとの間に接続されたNMOSトランジスタと、前記電源の電圧を第1抵抗と第2抵抗により分圧し、分圧電圧を前記NMOSトランジスタのゲートに供給する第1分圧手段とを有する第1検出手段と、前記電源と前記アースとの間に接続されたPMOSトランジスタと、前記電源の電圧を第3抵抗と第4抵抗により分圧し、分圧電圧を前記PMOSトランジスタのゲートに供給する第2分圧手段とを有する第2検出手段と、前記NMOSトランジスタと前記PMOSトランジスタの両出力に基づき、前記リセット信号の生成に係る信号を出力する出力手段と、を備えていることを特徴とするパワーオンリセット回路。

【請求項3】 前記出力段は、前記NMOSトランジスタと前記PMOSトランジスタの双方が導通したときに、その旨の信号を出力するものであることを特徴とする請求項2に記載のパワーオンリセット回路。

【請求項4】 前記第1分圧手段の分圧比は、前記NMOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定され、前記第2分圧手段の分圧比は、前記PMOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定されていることを特徴とする請求項2または請求項3に記載のパワーオンリセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源の立ち上がり時に、この電源で駆動されるシステムの各部を初期化するリセット信号を生成するパワーオンリセット回路に関し、特に、低電圧で動作するパワーオンリセット回路に関するものである。

【0002】

【従来の技術】従来、この種のパワーオンリセット回路の一例として、図3に示すようなものが知られている。

【0003】このパワーオンリセット回路は、図3に示すように、抵抗R1と抵抗R2により電源の電圧VD D1が分圧され、この分圧電圧がNMOSトランジスタN1のゲートに供給されている。NMOSトランジスタ(NチャネルMOSトランジスタ)N1は、そのソースが接地され、そのドレインがPMOSトランジスタ(PチャネルMOSトランジスタ)P1のドレインに接続され、この共通接続部から出力を取り出すようになっている。PMOSトランジスタP1は、そのゲートが接地され、そのソースが電源に接続されて電源電圧VDD1が供給されるようになっている。

【0004】このような構成からなる従来のパワーオンリセット回路では、電源の立ち上がり時に、電源電圧V DD1がPMOSトランジスタP1のしきい値電圧になると、PMOSトランジスタP1が導通して出力が「H」レベルとなる。その後、抵抗R1と抵抗R2により分圧される分圧電圧がNMOSトランジスタN1のしきい値電圧に達すると、NMOSトランジスタN1が導通し、その出力が「H」レベルから「L」レベルに変化する。従って、分圧電圧がしきい値電圧に達したときの電源電圧が、リセットを解除するリセット解除電圧になる。

【0005】このように従来の低電圧におけるパワーオンリセット回路では、NMOSトランジスタN1のしきい値電圧を抵抗R1と抵抗R2で分圧して調整することにより、リセット解除電圧を決定していた。

【0006】

【発明が解決しようとする課題】ところが、NMOSトランジスタN1のしきい値電圧の温度特性が-2~3[mV/°C]程度であるため、しきい値電圧が温度により変動する場合には、その変動に伴うリセット解除電圧の変動は(R1+R2)/R1倍となる。ここで、R1は抵抗R1の抵抗値であり、R2は抵抗R2の抵抗値である。

【0007】例えば、リセット解除電圧が0.85[V]、NMOSトランジスタN1のしきい値電圧が0.35[V]になるように抵抗R1、R2の各抵抗値を設定した場合には、そのリセット解除電圧の温度特性は、NMOSトランジスタN1の温度特性の(0.85/0.35)=2.42倍となり、-5~7[mV/°C]程度になる。このため、常温25°Cに対して-20°C~70°Cの範囲では、リセット解除電圧は0.25~0.35[V]の大幅な変動になり、この変動を小さくすることが望まれる。

【0008】そこで、本発明の目的は、MOSトランジスタのしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を小さくできる上に、さらにパワーオンリセット動作の精度および安定性の向上が図れるように

したパワーオンリセット回路を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決し、本発明の目的を達成するために、請求項1～請求項4に記載の各発明は以下のように構成した。

【0010】請求項1に記載の発明は、電源の立ち上がり時にリセット信号を生成するパワーオンリセット回路であって、前記電源とアースとの間に接続され、前記リセット信号の生成に係るMOSトランジスタと、前記電源の電圧を第1抵抗と第2抵抗により分圧し、分圧電圧を前記MOSトランジスタのゲートへ供給する分圧手段とを備え、前記分圧手段の分圧比は、前記MOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定されていることを特徴とするものである。

【0011】このように請求項1に記載の発明によれば、分圧手段の分圧比が、MOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧がそのしきい値電圧に許容電圧を加えた電圧になるように設定されている。このため、この発明ではMOSトランジスタのしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を小さくすることができる。

【0012】請求項2に記載の発明は、電源の立ち上がり時にリセット信号を生成するパワーオンリセット回路であって、前記電源とアースとの間に接続されたNMOSSトランジスタと、前記電源の電圧を第1抵抗と第2抵抗により分圧し、分圧電圧を前記NMOSトランジスタのゲートに供給する第1分圧手段とを有する第1検出手段と、前記電源と前記アースとの間に接続されたPMOSトランジスタと、前記電源の電圧を第3抵抗と第4抵抗により分圧し、分圧電圧を前記PMOSトランジスタのゲートに供給する第2分圧手段とを有する第2検出手段と、前記NMOSトランジスタと前記PMOSトランジスタの両出力に基づき、前記リセット信号の生成に係る信号を出力する出力手段と、を備えていることを特徴とするものである。

【0013】請求項3に記載の発明は、請求項2に記載のパワーオンリセット回路において、前記出力段は、前記NMOSトランジスタと前記PMOSトランジスタの双方が導通したときに、その旨の信号を出力するものである。

【0014】このように請求項2または請求項3に記載の発明によれば、リセット解除電圧をNMOSトランジスタとPMOSトランジスタの双方で検出するようにしたので、パワーオンリセットの精度および安定性が向上する。

【0015】請求項4に記載の発明は、請求項3に記載のパワーオンリセット回路において、前記第1分圧手段

の分圧比は、前記NMOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定され、前記第2分圧手段の分圧比は、前記PMOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧が前記しきい値電圧に許容電圧を加えた電圧になるように設定されていることを特徴とするものである。

【0016】このように請求項4に記載の発明によれば、第1分圧手段の分圧比と第2分圧手段の分圧比とを上記のように設定するようにしたので、パワーオンリセットの精度および安定性が向上する上に、リセット解除電圧の温度特性を小さくすることができる。

【0017】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。

【0018】図1は、本発明のパワーオンリセット回路の実施形態の構成を示す回路図である。

【0019】この実施形態にかかるパワーオンリセット回路は、図1に示すように、リセット解除電圧になったことをNMOSトランジスタN2で検出する第1検出手段1と、リセット解除電圧になったことをPMOSトランジスタP2で検出する第2検出手段2と、第1検出手段1と第2検出手段2の両出力の論理積演算を行う論理回路3と、この論理回路3の出力に基づいてリセット信号を生成出力する出力回路4とを少なくとも備えている。

【0020】第1検出手段1は、図1に示すように、電源とアースとの間に抵抗R11、抵抗R12、およびヒステリシス抵抗Rh1が直列に接続され、これにより電源電圧VDD1を分圧するための分圧回路を形成している。抵抗R11と抵抗R12との共通接続部が、NMOSトランジスタN2のゲートに接続され、そのソースは接地されている。NMOSトランジスタN2のドレインは、抵抗R13を介して電源に接続されるとともに、インバータ10の入力側に接続されている。抵抗R12と抵抗Rh1との共通接続部は、NMOSトランジスタN3のドレインに接続されている。NMOSトランジスタN3のゲートはNMOSトランジスタN2のドレインに接続され、そのソースは接地されている。

【0021】ここで、抵抗R11と抵抗R12の抵抗値の比率は、NMOSトランジスタN2のゲート電圧がしきい値電圧になったときに、そのときの電源電圧の値（リセット解除電圧）がそのしきい値電圧に許容電圧を加えた電圧になるように設定され、例えば1:8になるように設定されている。

【0022】このようにその比率を設定するのは、NMOSトランジスタN2のしきい値電圧の温度特性（温度依存性）に起因するリセット解除電圧の温度特性を許容範囲まで小さくするためである。また、そのしきい値電

圧は、NMOSトランジスタの製造によるばらつきがあるので、さらにこれら点を考慮してその比率を決定するのが望ましい。

【0023】第2検出回路2は、図1に示すように、電源とアースとの間にヒステリシス抵抗Rh2、抵抗R15、および抵抗R14が直列に接続され、これにより電源電圧VDD1を分圧するための分圧回路を形成している。抵抗R14と抵抗R15との共通接続部が、PMOSトランジスタP2のゲートに接続され、そのソースは電源に接続されて電源電圧VDD1が供給されるようになっている。PMOSトランジスタP2のドレインは、抵抗R16を介して接地されるとともに、アンドゲート11の入力端子と接続されている。抵抗Rh2と抵抗R15の共通接続部は、PMOSトランジスタP3のドレインに接続されている。PMOSトランジスタP3のゲートはPMOSトランジスタP2のドレインに接続され、そのソースは電源に接続されて電源電圧が供給されるようになっている。

【0024】ここで、抵抗R14と抵抗R15の抵抗値の比率は、PMOSトランジスタP2のゲート電圧がしきい値電圧になったときに、そのときのリセット解除電圧がそのしきい値電圧に許容電圧を加えた電圧になるように設定され、例えば1:8になるように設定されている。

【0025】このようにその比率を設定するのは、PMOSトランジスタP2のしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を許容範囲まで小さくするためである。また、そのしきい値電圧は、PMOSトランジスタの製造によるばらつきがあるので、さらにこれら点を考慮してその比率を決定するのが望ましい。

【0026】論理回路3は、2入力のアンドゲート11とインバータ12とから構成され、これらが直列に接続されている。具体的には、アンドゲート11は、その一方の入力側がインバータ10の出力側と接続され、その他方の入力側がPMOSトランジスタP2のドイレインに接続されている。アンドゲート11の出力側はインバータ12の入力側と接続され、インバータ12の出力側はPMOSトランジスタP4およびNMOSトランジスタN4の各ゲートに接続されている。

【0027】出力回路4は、図1に示すように、PMOSトランジスタP4やNMOSトランジスタN4からなるCMOSインバータと、コンデンサC1と、シュミット・トリガ回路13と、増幅器(アンプ)14などから構成されている。

【0028】具体的には、PMOSトランジスタP4のゲートとNMOSトランジスタN4のゲートとが共通に接続され、この共通接続部がインバータ12の出力側に接続されている。PMOSトランジスタP4のソースは電源に接続されるとともに、そのドレインは抵抗R17を介してNMOSトランジスタN4のドレインに接続さ

れている。NMOSトランジスタN4のソースは、接地されている。NMOSトランジスタN4のドレインは、シュミット・トリガ回路13の入力側に接続されるとともに、コンデンサC1を介して接地されている。シュミット・トリガ回路13の出力側は増幅器14の入力側に接続され、増幅器14の出力側から出力を取り出すようになっている。

【0029】次に、以上のような構成からなる実施形態に係るパワーオンリセット回路の動作について、図1を参照して説明する。

【0030】いま、電源電圧VDD1が立ち上がりを開始すると、第1検出回路1では、NMOSトランジスタN2は自己のゲート電圧がしきい値電圧になるまで、NMOSトランジスタN2は非導通(オフ)となる。このため、そのゲート電圧がしきい値電圧になるまでの期間は、NMOSトランジスタN2のドレインの電圧V1は、電源電圧VDD1の立ち上がりに応じて増加していく。この電圧V1は、NMOSトランジスタN3のゲートに印加されているので、そのしきい値電圧になったところでNMOSトランジスタN3が導通する。これにより、ヒステリシス抵抗Rh1の両端は短絡された状態となり、電源電圧VDD1は抵抗R11と抵抗R12により分圧されることになる。

【0031】一方、電源電圧VDD1が立ち上がりを開始すると、第2検出回路2では、PMOSトランジスタP2は自己のゲート電圧がしきい値電圧になるまで、PMOSトランジスタP2は非導通状態となる。このため、電源電圧VDD1がそのしきい値電圧になるまでの期間は、PMOSトランジスタP2のドレインの電圧V2は、アース電圧となって0[V]となる。その電圧V2は、PMOSトランジスタP3のゲートに印加されているので、そのしきい値電圧になったところでPMOSトランジスタP3が導通する。これにより、ヒステリシス抵抗Rh2の両端は短絡された状態となり、電源電圧VDD1は抵抗R14と抵抗R15により分圧されることになる。

【0032】その後、電源電圧VDD1が立ち上がっていき、NMOSトランジスタN2のゲート電圧がしきい値電圧に達すると、NMOSトランジスタN2が導通し、このときの電源電圧VDD1の値がリセット解除電圧になる。一方、電源電圧VDD1が立ち上がっていき、PMOSトランジスタP2のゲート電圧がしきい値電圧に達すると、PMOSトランジスタP2が導通し、このときの電源電圧VDD1の値がリセット解除電圧になる。

【0033】NMOSトランジスタN2の導通によりNMOSトランジスタN3はオフとなり、ヒステリシス抵抗Rh1はその短絡状態が解かれて電圧が印加されるので、その印加電圧がNMOSトランジスタN2のゲート電圧を上昇させ、もってそのNMOSトランジスタN2

の動作の安定化が図れる。一方、PMOSトランジスタP2の導通によりPMOSトランジスタP3はオフとなり、ヒステリシス抵抗Rh2はその短絡状態が解かれて電圧が印加されるので、その印加電圧がPMOSトランジスタP2のゲート電圧を低下させ、もってそのPMOSトランジスタP2の動作の安定化が図れる。

【0034】さらに、NMOSトランジスタN2の導通によりそのドレインは0[V]となって「L」レベルとなるので、これがインバータ10で反転されて「H」レベルとなり、この「H」レベルがアンドゲート11の一方の入力端子に入力される。一方、PMOSトランジスタP2の導通によりそのドレインは電源電圧VDD1となって「H」レベルとなり、この「H」レベルがアンドゲート11の他方の入力端子に入力される。

【0035】このように、アンドゲート11は、2入力がいずれも「H」レベルになるとその出力が「H」レベルになる。この「H」レベルはインバータ12により反転されて「L」レベルとなり、これによりPMOSトランジスタP4とNMOSトランジスタN4の双方のゲート電圧が0[V]となる。このため、PMOSトランジスタP4が導通状態になり、NMOSトランジスタN4は非導通状態になるので、コンデンサC1は電源電圧VDD1により充電されていく。

【0036】この充電電圧が、シュミット・トリガ回路13の有する一定電圧(上限値)を越えると、シュミット・トリガ回路13の出力が「L」レベルから「H」レベルとなり、この出力は增幅器14で増幅されてリセット信号として出力される。

【0037】以上説明したように、この実施形態では、抵抗R11の抵抗値と抵抗R12の抵抗値の比率を上述のように設定し、抵抗R14の抵抗値と抵抗R15の抵抗値の比率を上述のように設定した。このため、この実施形態では、NMOSトランジスタN2とPMOSトランジスタP2のしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を小さくできる上に、そのリセット解除電圧を低く設定できる。

【0038】例えば、NMOSトランジスタN2の常温(25度°C)におけるしきい値電圧が0.55[V]、抵抗R11と抵抗R12の抵抗値の比率を1:8とした場合のリセット解除電圧の温度特性は、図2に示す実線Bで表される。図2に示す実線Aは、図3の回路において、リセット解除電圧が0.85[V]、NMOSトランジスタN1のしきい値電圧が0.55[V]になるように抵抗R1、R2の各抵抗値を設定した場合のリセット解除電圧の温度特性である。図2からわかるように、従来例に比べてこの実施例ではリセット解除電圧の温度特性を大幅に減少できる。具体的には、NMOSトランジスタN2のしきい値電圧の温度特性の9/8倍に減少させることができる。

【0039】また、この実施形態では、リセット解除電

圧をNMOSトランジスタN2とPMOSトランジスタP2の双方で検出し、その双方が検出されたことを条件にリセット信号が生成されるようにしたので、パワーオンリセットの精度および安定性の向上が図れる。

【0040】さらに、この実施形態では、リセット解除電圧自体はMOSトランジスタN2、P2のしきい値電圧のばらつきに依存するが、MOSトランジスタN2、P2のしきい値電圧に許容電圧 α を加えた電圧をリセット解除電圧としているので、パワーオンリセットの機能としては問題がない。

【0041】なお、上記の実施形態では、第1検出回路1、第2検出回路2、論理回路3、および出力回路4から構成するようにした。しかし、リセット解除電圧の温度特性の改善を図るためにには、第1検出回路1および第2検出回路2のうちの一方だけでも良く、この場合には、論理回路3は省略することができる。

【0042】

【発明の効果】以上述べたように、請求項1に係る発明によれば、分圧手段の分圧比が、MOSトランジスタのゲートがしきい値電圧になったときに、これに対応するリセット解除電圧がそのしきい値電圧に許容電圧を加えた電圧になるように設定されている。このため、この発明ではMOSトランジスタのしきい値電圧の温度特性に起因するリセット解除電圧の温度特性を小さくすることができる。

【0043】請求項2または請求項3に係る発明によれば、リセット解除電圧をNMOSトランジスタとPMOSトランジスタの双方で検出するようにしたので、パワーオンリセットの精度および安定性が向上する。

【0044】請求項4に係る発明によれば、第1分圧手段の分圧比と第2分圧手段の分圧比とを上記のように設定するようにしたので、パワーオンリセットの精度および安定性が向上する上に、リセット解除電圧の温度特性を小さくできる。

【図面の簡単な説明】

【図1】本発明のパワーオンリセット回路の実施形態の構成を示す回路図である。

【図2】リセット解除電圧の温度特性の従来例と実施例を比較した図である。

【図3】従来のパワーオンリセット回路の回路図である。

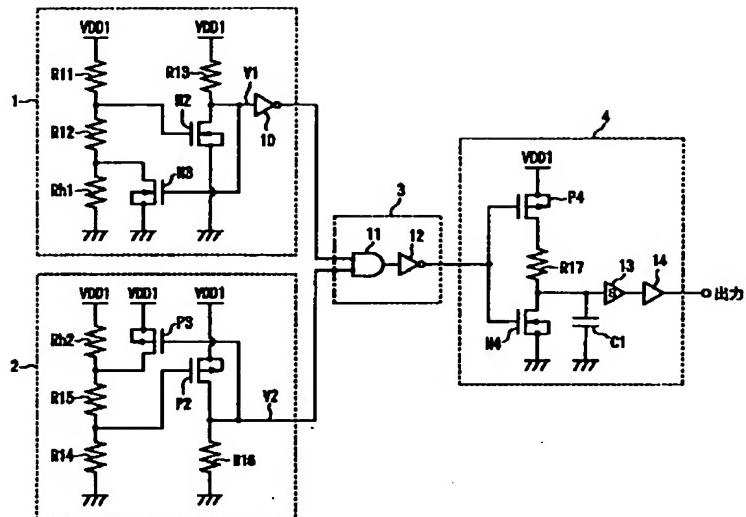
【符号の説明】

- 1 第1検出回路
- 2 第2検出回路
- 3 論理回路
- 4 出力回路
- 10 インバータ
- 11 アンドゲート
- 12 インバータ
- 13 シュミット・トリガ回路

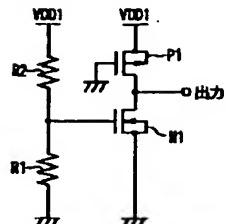
1.4 增幅器

9

【図1】



【図3】



【図2】

